

## Beschreibung

## Sigma-Delta-Modulator

5 Die Erfindung betrifft gemäß dem Oberbegriff des Patentan-  
spruchs 1, d.h. einen Sigma-Delta-Modulator mit einem Signal-  
eingang, an welchem ein auszuwertendes Auswertesignal an-  
liegt, und einem digitalen Ergebnisausgang an welchem ein  
digitaler Ergebniswert geliefert wird, wobei ein Quantisierer  
10 vorgesehen ist, der ein an ihm anliegendes Eingangssignal  
entsprechend einer oder mehr Schwellspannungen quantisiert  
und als Ergebniswert am digitalen Ergebnisausgang ausgibt,  
welchem Quantisierer eingangsseitig eine oder mehr Vorstufen  
vorgeschaltet sind, wobei eine Vorstufe einen ein Vorstufen-  
15 Eingangssignal verarbeiteten Addierer mit einem ihm im Sig-  
nalweg nachgeschalteten, ein Vorstufen-Ausgangssignal lie-  
fernden Integrierer umfasst, wobei dem Addierer ein in Abhän-  
gigkeit zum Ergebniswert generiertes Rückkopplungs-Signal zur  
Addition zum Vorstufen-Eingangssignal zugeführt wird, wobei  
20 einer ersten Vorstufe als Vorstufen-Eingangssignal das Aus-  
wertesignal anliegt und jeder weiteren Vorstufe als Vorstu-  
fen-Eingangssignal das Vorstufen-Ausgangssignal der jeweils  
im Signalweg vorherigen Vorstufe anliegt, wobei die letzte  
Vorstufe vor dem Quantisierer diesem das Eingangssignal als  
25 Vorstufen-Ausgangssignal liefert.

Die Sigma-Delta Modulation hat in den letzten Jahren zuneh-  
mende Bedeutung im Bereich der Analog/Digital (A/D)- und Di-  
gital/Analog (D/A)-Umwandlung gewonnen. Dies ist vor allen  
30 Dingen auf die geringen Ansprüche an die analogen Komponenten  
von Signal-Umsetzern zurückzuführen. Digitale Schaltungen  
gewinnen heutzutage in der Signalverarbeitung immer mehr an  
Bedeutung. Um Signale aus der analogen Umwelt zu konvertieren  
und anschließend digital verarbeiten zu können, sind A/D  
35 Wandler nötig. Es ist erstrebenswert, Wandler und die übrige  
digitale Schaltung auf einem einzigen Chip zu integrieren. Da  
meist der digitale Anteil die Chipfläche dominiert, bestimmt

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 39 865.8

**Anmeldetag:** 29. August 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Sigma-Delta-Modulator

**IPC:** H 03 M 3/02

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 2. Oktober 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Ebert

dieser auch die Schaltungstechnologie. Digitale Prozesstechnologien erschweren jedoch die Herstellung von präzisen analogen integrierten Schaltungskomponenten, bei denen sehr hohe Genauigkeiten und geringe Fertigungsschwankungen gefordert sind. Hier kommt die Einfachheit und Robustheit analoger Komponenten der Sigma-Delta-Modulatoren zum Tragen, die Sigma-Delta-Umsetzer für Implementierungen in beispielsweise einer digitalen VLSI-Technologie prädestinieren.

Ein weiterer Vorteil der Sigma-Delta-Modulatoren liegt darin, dass diese weniger Strom als herkömmliche A/D-Wandler benötigen, was sie auch in dem wichtigen Bereich der tragbaren Empfänger qualifiziert. Ebenso zeichnen sie sich durch eine höhere Signal Bandbreite aus, was sie interessant für den Anwendungsbereich in der xDSL-Transceiver-Technik macht.

Problematisch bei Sigma-Delta-Modulatoren ist, gerade zu höheren zu wandelnden Frequenzen hin, dass durch Laufzeitverzögerungen in den einzelnen Komponenten (Excess Loop Delay) Fehler auftreten, was die Anwendung zu hohen Frequenzen (>1 GHz) hin beschränkt. Siehe zu der Problematik der Excess Loop Delays auch: J. A. Cherry, W. M. Snelgrove, Continuous-Time Delta-Sigma Modulator for High Speed A/D Conversion, Kluwer Academic Publishers 2000, Seite 75-103.

Ein bekannter Weg diese durch Laufzeitunterschiede induzierten Fehler auszugleichen der aus P. Benabes, M. Keramat, R. Kielbasa, A methodology for designing continuous-time sigma-delta modulators, IEEE European Design and Test Conference 1997, Seite 45-50 bekannte Ansatz einen zusätzlichen Rückkopplungskreis (inner loop) einzuführen, der durch einen zusätzlichen Addierer zwischen dem Quantisierer und dem letzten davor befindlichen Integrierer gebildet ist.

In Figur 1 ist einen gewöhnlichen zeitkontinuierlichen Sigma-Delta-Modulator zweiter Ordnung mit zwei Vorstufen  $V_1$  und  $V_2$  sowie mit Korrekturmitteln gezeigt. Das am Eingang IN anlie-

gende zu Wandelnde Signal  $x$  wird über zwei Integrierer  $4_1$  und  $4_2$ , denen jeweils ein Addierer  $3_1$  bzw.  $3_2$  zur Verknüpfung mit dem Rückkoppelsignal vorgeschaltet ist, dem Quantisierer 2 an dessen Eingang  $E_0$  zugeführt. Zuvor jedoch wird das zu quantisierende Signal jedoch noch über den Addierer 10 nochmals mit dem Rückkoppelsignal verknüpft. Hierdurch wird der Einfluss der Laufzeit in den einzelnen Komponenten berücksichtigt und ausgeglichen.

10 In Figur 2 ist eine aus W. Redman-White, A. M. Durham, A fourth order Converter with self-tuning Continuous Time Noise Shaper, aus Proceedings of ESSCIRC 1991, Seite 249-252 bekannte mögliche Umsetzung eines solchen Konzeptes gezeigt.

15 Hierbei kommen als Digital-Analog-Wandler für das Rückkopplungs-Signal  $R_1$  Strom-AD-Wandler  $6_1$  bis  $6_2$  zum Einsatz, wobei die Integratoren  $4_1$  und  $4_2$  durch Operationsverstärker gebildet sind und auch der Kompensations-Addierer 10 durch einen Operationsverstärker mit vorgeschaltetem Strom-AD-  
20 Wandler  $6_3$  ausgebildet ist. Bei dieser Lösung sind die Summierknoten  $3_1$  durch die Eingänge der Operationsverstärker gebildet. Die Summiersignale sind die Ströme, die durch die Eingangswiderstände und in den Stromgeneratoren im jeweiligen Rückkoppelkreis fließen.

25

Figur 3 zeigt ein Diagramm eines so aufgebauten 3 Bit auflösenden Sigma-Delta-Modulators, bei dem 7 Schwellspannungen angewendet werden.

30 Gemäß der oben angegebenen Anordnung wird die Summe mit dem Rückkoppel-Signal vor dem Quantisierer gebildet. Die Komparatoren  $i = 1$  bis  $N$  des Quantisierers müssen daher die Bewertung

$$(V_2 - V_{dac3}) > V_{th,i}$$

35 durchführen (siehe hierzu Figur 4).  $V_2$  ist hierbei der Betrag des Zwischensignals  $y_2$  nach dem zweiten Integrierer  $4_2$ .

Nachteilig bei dieser Anordnung und Vorgehensweise ist jedoch, dass im Signalweg ein hochgenaues aktives Element (zusätzlicher Addierer) vorzusehen ist, mit all den Schwierigkeiten bezüglich Herstellungsverfahren und -schritten, Layoutdesign und Ausschuss bei der Herstellung und, dass der Stromverbrauch hierdurch erheblich erhöht wird, was die Anwendungsbereiche gerade bei tragbaren und zwingend Stromsparenden Anwendungen beschränkt.

- 10 Aufgabe der Erfindung ist es daher, einen Sigma-Delta-Modulator zur Verfügung zu stellen, bei dem eine Kompensation der Laufzeiten durch die einzelnen Komponenten erfolgt, wobei jedoch im Signalweg kein zusätzliches Element vorgesehen ist.
- 15 Diese Aufgabe wird durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst.

Erfindungsgemäß ist vorgesehen, dass der Quantisierer entsprechend der Anzahl der Schwellspannungen Komparatoren aufweist welche das Eingangssignal mit der jeweiligen Schwellspannung vergleichen, wobei die Schwellspannung um eine Korrektur-Spannung verringert oder erhöht ist, welche Korrektur-Spannung entsprechend dem am Ergebnisausgang ausgegebenem Ergebniswert generiert ist.

- 25 Die Erfindung schlägt vor, eine Anpassung der Schwellspannungen für die Komparatoren im Quantisierer vorzunehmen und nicht mehr wie bisher eine Anpassung des zu quantisierenden Signals im Signalweg vor dem Quantisierer vorzunehmen. Hierdurch wird das Design der Halbleiterschaltung erheblich einfacher möglich und ist auch nicht mehr so kritisch in der Herstellung, da Toleranzen hier weiter sein dürfen als bei aktiven analogen Elementen direkt im Signalweg. Der zusätzliche Summierer ist eingespart. Eine Anpassung der Schwellspannung kann über einen ganzen Taktzyklus erfolgen, was ausreichend viel Zeit ist. Das ganze System ist stabiler und produziert auch nicht mehr so viel Laufzeitfehler, da ein aktives
- 30
- 35

Element aus dem Signalweg entfernt worden ist. Dies verringert zudem den Stromverbrauch des Sigma-Delta-Modulators und er ist mit weniger Platzverbrauch auf einem Chip realisierbar. Zudem sind höhere Abtastraten realisierbar, da durch die Verringerung der Laufzeitfehler die Abtastrate erhöht ist. Anwendungen im xDSL-Bereich mit den hohen Abtastraten sind leichter realisierbar, der Einsatzbereich der Sigma-Delta-Modulatoren ist vergrößert als bisher denkbar.

10 Eine bevorzugte Ausgestaltung der Erfindung sieht vor, dass ein Digital-Analog-Wandler vorgesehen ist, der ein analoges Roh-Signal aus dem digitalen Ergebniswert generiert. Hierdurch kann in einfacher Weise ein Rückkoppel-Signal mit einem Faktor belegt den einzelnen Addierern zugeführt werden.

15 Bevorzugterweise wird das Roh-Signal entsprechend der Position und der Anzahl der Vorstufen im Signalweg jeweils mit einem vorbestimmten Faktor zum jeweiligen Rückkopplungs-Signal einer Vorstufe multipliziert.

20 Von Vorteil ist die Korrektur-Spannung eine dem Ergebniswert entsprechende Spannung multipliziert mit einem festen Faktor.

25 Eine Ausgestaltung der Erfindung sieht vor, dass der Faktor eine einfach gebrochene Zahl ist.

30 Eine bevorzugte Ausgestaltung der Erfindung sieht vor, dass ein digitaler Addierer vorgesehen ist, der zum Ergebniswert den Faktor addiert und eine dem Ergebnis entsprechende vorher generierte Schwellspannung auf die Komparatoren aufschaltet.

Von Vorteil ist ein Digital-Analog-Wandler vorgesehen, der die dem Ergebniswert entsprechende Spannung erzeugt.

35 Gemäß einer besonders bevorzugten Ausgestaltung der Erfindung ist vorgesehen, dass der Sigma-Delta-Modulator von zweiter Ordnung mit zwei Vorstufen ist.

Von Vorteil, und daher bevorzugterweise ist der Sigma-Delta-Modulator ein zeitkontinuierlicher Sigma-Delta-Modulator (continuous time sigma delta modulator).

5

Bevorzugterweise sind Mittel zur Aufbereitung der Ausgangssignale der Addierer vorgesehen sind.

10

Vorteilhafterweise sind der Auflösung des Quantisierers eine entsprechende Anzahl von Komparatoren vorgesehen, wobei die Komparatoren gleichmäßig gestaffelte Schwellspannungen aufweisen.

15

Dem folgend, ist nach einer Ausgestaltung der Erfindung vorgesehen, dass ein Referenzspannungsgenerator vorgesehen ist, welcher Teil-Spannungen liefert aus welchen die Schwellspannungen generiert werden.

20

Weitere Vorteile, Besonderheiten und zweckmäßige Weiterbildungen der Erfindung ergeben sich aus den weiteren Unteransprüchen oder deren Unterkombinationen.

Nachfolgend wird die Erfindung anhand der Zeichnung weiter erläutert.

25

Dabei zeigt:

Fig. 1 einen zeitkontinuierlichen Sigma-Delta-Modulator nach dem Stand der Technik,

30

Fig. 2 eine konkrete Ausführung des zeitkontinuierlichen Sigma-Delta-Modulators aus Figur 1,

Fig. 3 ein schematisches Diagramm der Quantisierungsschritte über der analogen Eingangsspannung,

Fig. 4 einen Ausschnitt aus Figur 1, wobei die Signale verdeutlicht sind,

35

Fig. 5 einen erfindungsgemäßen Quantisierer schematisch mit den einzelnen Signalen, entsprechend dem Ausschnitt aus Figur 4,



Fig. 6 einen erfindungsgemäßen zeitkontinuierlichen Sigma-Delta-Modulator, und

Fig. 7 eine schematische Darstellung eines konkreteren Aufbaus eines erfindungsgemäßen Quantisierers.

5 In den Figuren gleiche Bezugszeichen bezeichnen gleiche oder gleich wirkende Elemente.

Die Figur 5 zeigt deutlich den Unterschied zu bisher bekannten Ansätzen (siehe hierzu Figur 4). Die Komparatoren  $i = 1$

10 bis  $N$  des Quantisierers haben nicht mehr die Bewertung

$$(V_{\text{Eingang}} - V_{\text{dac3}}) > V_{\text{th},i}$$

durchführen, sondern

$$V_{\text{Eingang}} > V_{\text{th},i} + V_{\text{dac3}}.$$

Demnach muss auch keine Signalverschiebung mehr im Signalweg

15 vor den Komparatoren erfolgen.

Das neue Prinzip ist die Summation des Rückkoppelsignals zu den Schwellspannungen der Komparatoren.

20 Eine unkritische Anpassung der Schwellspannungen der Komparatoren im Quantisierer ist ausreichend. Die Wandlung des digitalen Ergebnisses  $y_0$  in eine eigene analoge Spannung ist nicht notwendig. Eine digitale Addition der Werte mit nachfolgender entsprechender Umschaltung einer Referenzspannung ist einfach möglich (siehe hierzu auch Figur 7).

Figur 6 zeigt den erfindungsgemäßen Ansatz.

Konkret ist die Summation der Schwellspannungen  $y_{\text{th},i}$  zu der

30 Korrektur-Spannung  $y_{\text{dac3}}$  ( $= b_3 * y_0$ ) sehr einfach möglich, da der Faktor  $b_3$  zumeist ein einfacher gebrochener Wert (beispielsweise  $1/2$ ,  $3/4$ , ...) ist. Hierdurch kann die Schwellspannung  $y_{\text{th},i}$  schnell und dynamisch erfolgen, ohne in die bekannten und bewährten Strukturen der die Schwellspannungen

35 leiernden Schaltungen eingreifen zu müssen. Dies gilt für den digitalen als auch für den analogen Bereich, auch mit Strom- oder Spannungsreferenz.



Der erfindungsgemäße Ansatz hat keine festen Schwellspannungen  $y_{th,i}$  mehr, sondern passt diese jeweils um die aktuelle Korrektur-Spannung  $y_{dac3} = b_3 * y_Q$  an.

5

In Figur 7 ist schematisch eine Realisierung eines erfindungsgemäßen Sigma-Delta-Modulators gezeigt, wobei nur der Bereich der digitalen Summation und damit Korrektur der Schwellspannungen gezeigt ist. Entsprechend dem Ergebnis der

10 Summation werden Teil-Spannungen  $1/14 * Y_{ref}$ ,  $2/14 * Y_{ref}$ , ... zur Schwellspannung  $Y_{th}$  durch Öffnen und Schließen von Schaltern aufsummiert und auf die Komparatoren geschaltet.

15

Im dargestellten Beispiel ist  $b_3 = 1/2$  und 8 Schwellen sind realisiert.

Es wird demnach nicht einmal ein D/A-Wandler für die Generierung der Korrektur-Spannung benötigt.

20

Die sieben statischen Schwellspannungen der Komparatoren sind bezüglich  $Y_{ref}$ :

$$+6/7, +4/7, +2/7, 0, -2/7, -4/7, -6/7$$

25

Bei jedem Taktzyklus wird entsprechend dem tatsächlichen und augenblicklichen Wert vom Ergebniswert  $y_Q$  vom digitalen Addierer 7 einer der folgenden Werte hinzusummiert:

$$+7/14, +5/14, +3/14, +1/14, -1/14, -3/14, -5/14, -7/14$$

30

die sich daraus ergebenden 7 Signale werden mit dem Eingangssignal  $E_Q$  des Quantisierers 2 durch die sieben Komparatoren 5<sub>1</sub> bis 5<sub>7</sub> verglichen, wodurch das nächste digitale Ergebnis generiert wird.

35

## Bezugszeichenliste

	1	Sigma-Delta-Modulator
5	2	Quantisierer
	$3_i$	Addierer
	$4_i$	Integrierer
	$5_i$	Komparatoren
	6	Digital-Analog-Wandler
10	7	digitaler Addierer
	8	Verstärker
	9	Referenzspannungsgenerator
	10	Kompensations-Addierer
	11	Multiplizierer
15	IN	Signaleingang
	OUT	Ergebnis Ausgang
	x	Auswertesignal
	$y_Q$	Ergebniswert
	$y_1, y_2$	Zwischensignale
20	$E_Q$	Eingangssignal
	$y_{th,i}$	Schwellspannung
	$y_{dac3}$	Korrektur-Spannung
	$V_i$	Vorstufe
	$E_i$	Vorstufen-Eingangssignal
25	$A_i$	Vorstufen-Ausgangssignal
	$R_i$	Rückkopplungs-Signal
	RS	Roh-Signal

## Patentansprüche

1. Sigma-Delta-Modulator (1) mit einem Signaleingang (IN),  
an welchem ein auszuwertendes Auswertesignal (x) anliegt,  
5 und einem digitalen Ergebnisausgang (OUT), der einen digita-  
len Ergebniswert ( $y_Q$ ) ausgibt,  
wobei ein Quantisierer (2) vorgesehen ist,  
der ein an ihm anliegendes Eingangssignal ( $E_Q$ ) entsprechend  
mindestens einer Schwellwertspannungen ( $y_{th,i}$ ) quantisiert und  
10 als Ergebniswert ( $y_Q$ ) an dem digitalen Ergebnisausgang (OUT)  
ausgibt,  
wobei dem Quantisierer (2) eingangsseitig mindestens eine  
Vorstufe ( $V_i$ ) vorgeschaltet ist,  
die einen ein Vorstufen-Eingangssignal ( $E_i$ ) verarbeiteten Ad-  
15 dierer ( $3_i$ ) mit einem dem Addierer im Signalweg nachgeschal-  
teten, ein Vorstufen-Ausgangssignal ( $A_i$ ) liefernden Integrie-  
rer ( $4_i$ ) umfasst, wobei dem Addierer ( $3_i$ ) ein in Abhängigkeit  
zum Ergebniswert ( $y_Q$ ) generiertes Rückkopplungs-Signal ( $R_i$ )  
zur Addition zum Vorstufen-Eingangssignal ( $E_i$ ) zugeführt  
20 wird,  
wobei an einer ersten Vorstufe ( $V_1$ ) als Vorstufen-  
Eingangssignal ( $E_1$ ) das Auswertesignal (x) anliegt und an je-  
der weiteren Vorstufe ( $V_n$ ) als Vorstufen-Eingangssignal ( $E_n$ )  
das Vorstufen-Ausgangssignal ( $A_{n-1}$ ) der jeweils im Signalweg  
25 vorherigen Vorstufe ( $V_{n-1}$ ) anliegt,  
wobei die letzte Vorstufe ( $V_m$ ) vor dem Quantisierer (2) dem  
Quantisierer das Eingangssignal ( $E_Q$ ) als Vorstufen-  
Ausgangssignal ( $A_m$ ) liefert,  
d a d u r c h g e k e n n z e i c h n e t,  
30 dass der Quantisierer (2) eine der Anzahl (j) von Schwell-  
wertspannungen ( $y_{th,j}$ ) entsprechende Anzahl von Komparatoren  
( $5_j$ ) aufweist, die das Eingangssignal ( $E_Q$ ) mit der jeweiligen  
Schwellwertspannung ( $y_{th,j}$ ) vergleichen, wobei die Schwell-  
wertspannung um eine Korrektur-Spannung ( $y_{dac3}$ ) verringert o-  
35 der erhöht ist, wobei die Korrektur-Spannung entsprechend dem  
an dem Ergebnisausgang (OUT) ausgegebenem Ergebniswert ( $y_Q$ )  
generiert wird.

2. Sigma-Delta-Modulator nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t,  
dass ein Digital-Analog-Wandler (6) vorgesehen ist, der ein  
5 analoges Roh-Signal (RS) aus dem digitalen Ergebniswert ( $y_0$ )  
generiert.

3. Sigma-Delta-Modulator nach Anspruch 2,  
d a d u r c h g e k e n n z e i c h n e t,  
10 dass das Roh-Signal (RS) entsprechend der Position (i) und  
der Anzahl der Vorstufen ( $V_i$ ) im Signalweg jeweils mit einem  
vorbestimmten Faktor ( $b_i$ ) zum jeweiligen Rückkopplungs-Signal  
( $R_i$ ) einer Vorstufe ( $V_i$ ) multipliziert wird.

15 4. Sigma-Delta-Modulator nach einem der Ansprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t,  
dass die Korrektur-Spannung ( $y_{dac3}$ ) eine dem Ergebniswert ( $y_0$ )  
entsprechende Spannung multipliziert mit einem festen Faktor  
( $b_3$ ) ist.

20

5. Sigma-Delta-Modulator nach Anspruch 4,  
d a d u r c h g e k e n n z e i c h n e t,  
dass der Faktor ( $b_3$ ) eine einfach gebrochene Zahl ist.

25 6. Sigma-Delta-Modulator nach einem der vorhergehenden An-  
sprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass ein Digital-Analog-Wandler (6) vorgesehen ist, der die  
dem Ergebniswert entsprechende Spannung erzeugt.

30

7. Sigma-Delta-Modulator nach einem der vorhergehenden An-  
sprüche,  
d a d u r c h g e k e n n z e i c h n e t,  
dass ein digitaler Addierer (7) vorgesehen ist, der zum Er-  
35 gebniswert ( $y_0$ ) den Faktor ( $b_3$ ) addiert und eine dem Ergebnis  
entsprechende vorher generierte Schwellwertspannung ( $y_{th,i}$ )  
auf die Komparatoren ( $5_i$ ) aufschaltet.

8. Sigma-Delta-Modulator nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

5 dass der Sigma-Delta-Modulator von zweiter Ordnung mit zwei Vorstufen ist.

9. Sigma-Delta-Modulator nach einem der vorhergehenden Ansprüche,

10 d a d u r c h g e k e n n z e i c h n e t,

dass der Sigma-Delta-Modulator ein zeitkontinuierlicher Sigma-Delta-Modulator (continuous time sigma delta modulator) ist.

15 10. Sigma-Delta-Modulator nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

dass eine Einrichtung (8) zur Aufbereitung der Ausgangssignale der Addierer (3<sub>i</sub>) vorgesehen sind.

20

11. Sigma-Delta-Modulator nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

25 dass eine der Auflösung des Quantisierers (2) entsprechende Anzahl von Komparatoren (5<sub>i</sub>) vorgesehen sind, wobei die Komparatoren gleichmäßig gestaffelte Schwellwertspannungen aufweisen.

12. Sigma-Delta-Modulator nach einem der vorhergehenden Ansprüche,

30

d a d u r c h g e k e n n z e i c h n e t,

dass ein Referenzspannungsgenerator (9) vorgesehen ist, der Teil-Spannungen liefert aus welchen die Schwellwertspannungen ( $y_{th,i}$ ) generiert werden.

## Zusammenfassung

## Sigma-Delta-Modulator

5 Die Erfindung betrifft einen Sigma-Delta-Modulator (1) mit einem Signaleingang (IN), an welchem ein auszuwertendes Auswertesignal ( $x$ ) anliegt, und einem digitalen Ergebnisausgang (OUT) an welchem ein digitaler Ergebniswert ( $y_Q$ ) geliefert wird, wobei ein Quantisierer (2) vorgesehen ist, der ein an  
10 ihm anliegendes Eingangssignal ( $E_Q$ ) entsprechend einer oder mehr Schwellspannungen ( $y_{th,i}$ ) quantisiert und als Ergebniswert ( $y_Q$ ) am digitalen Ergebnisausgang (OUT) ausgibt, welchem Quantisierer eingangsseitig eine oder mehr Vorstufen ( $V_i$ ) vorgeschaltet sind, wobei eine Vorstufe ( $V_i$ ) einen ein Vorstufen-Eingangssignal ( $E_i$ ) verarbeiteten Addierer ( $3_i$ ) mit  
15 einem ihm im Signalweg nachgeschalteten, ein Vorstufen-Ausgangssignal ( $A_i$ ) liefernden Integrierer ( $4_i$ ) umfasst, wobei dem Addierer ein in Abhängigkeit zum Ergebniswert ( $y_Q$ ) generiertes Rückkopplungs-Signal ( $R_i$ ) zur Addition zum Vorstufen-Eingangssignal ( $E_i$ ) zugeführt wird, wobei einer ersten  
20 Vorstufe ( $V_1$ ) als Vorstufen-Eingangssignal ( $E_1$ ) das Auswertesignal ( $x$ ) anliegt und jeder weiteren Vorstufe ( $V_n$ ) als Vorstufen-Eingangssignal ( $E_n$ ) das Vorstufen-Ausgangssignal ( $A_{n-1}$ ) der jeweils im Signalweg vorherigen Vorstufe ( $V_{n-1}$ ) anliegt, wobei die letzte Vorstufe ( $V_m$ ) vor dem Quantisierer (2) diesem das Eingangssignal ( $E_Q$ ) als Vorstufen-Ausgangssignal ( $A_m$ ) liefert.

30 Fig. 6

S 2059

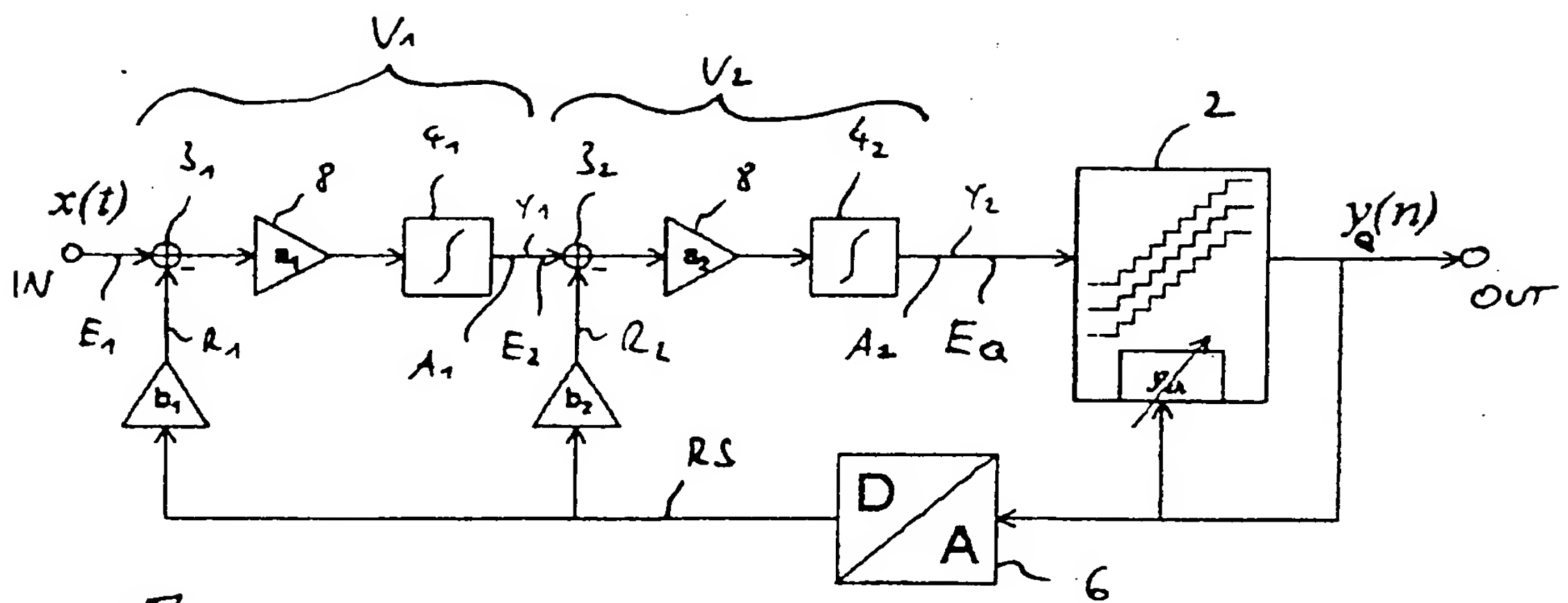


Fig. 6





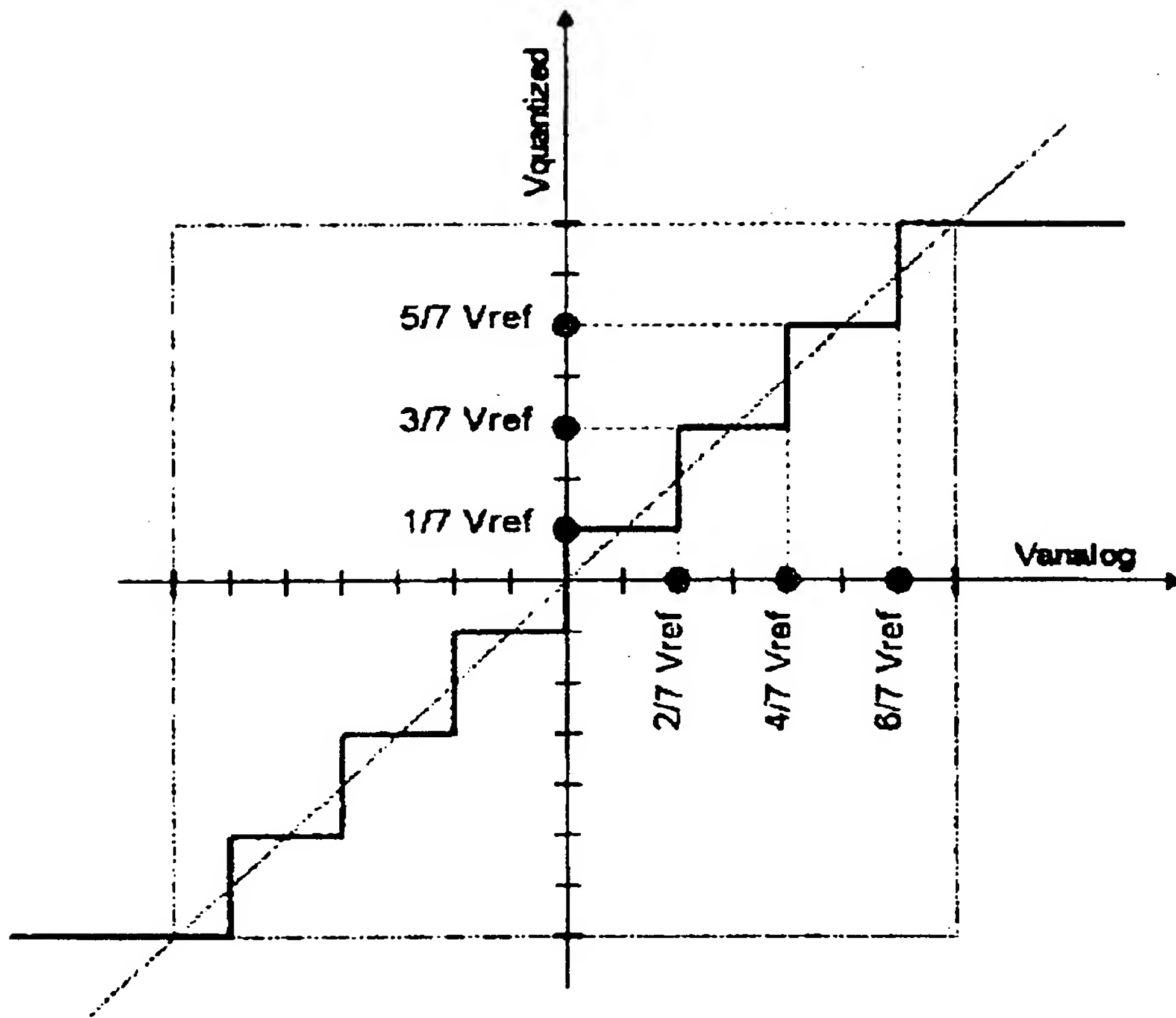


Fig. 3

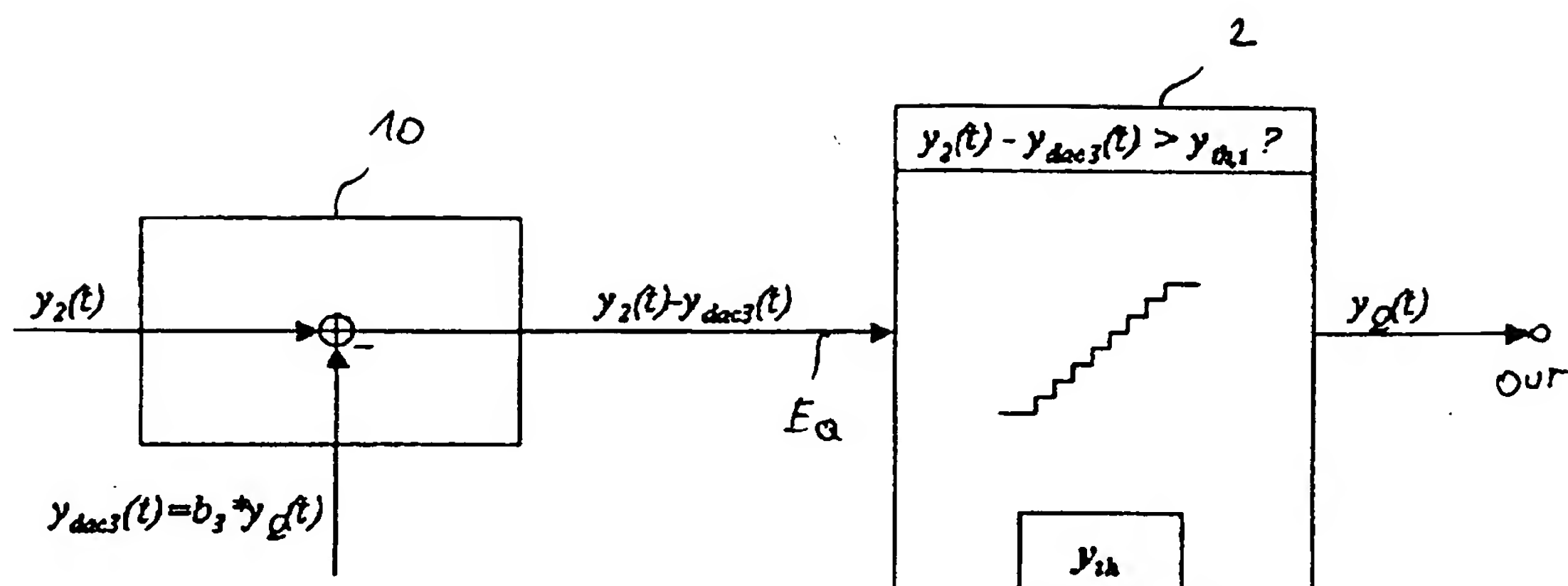


Fig. 4

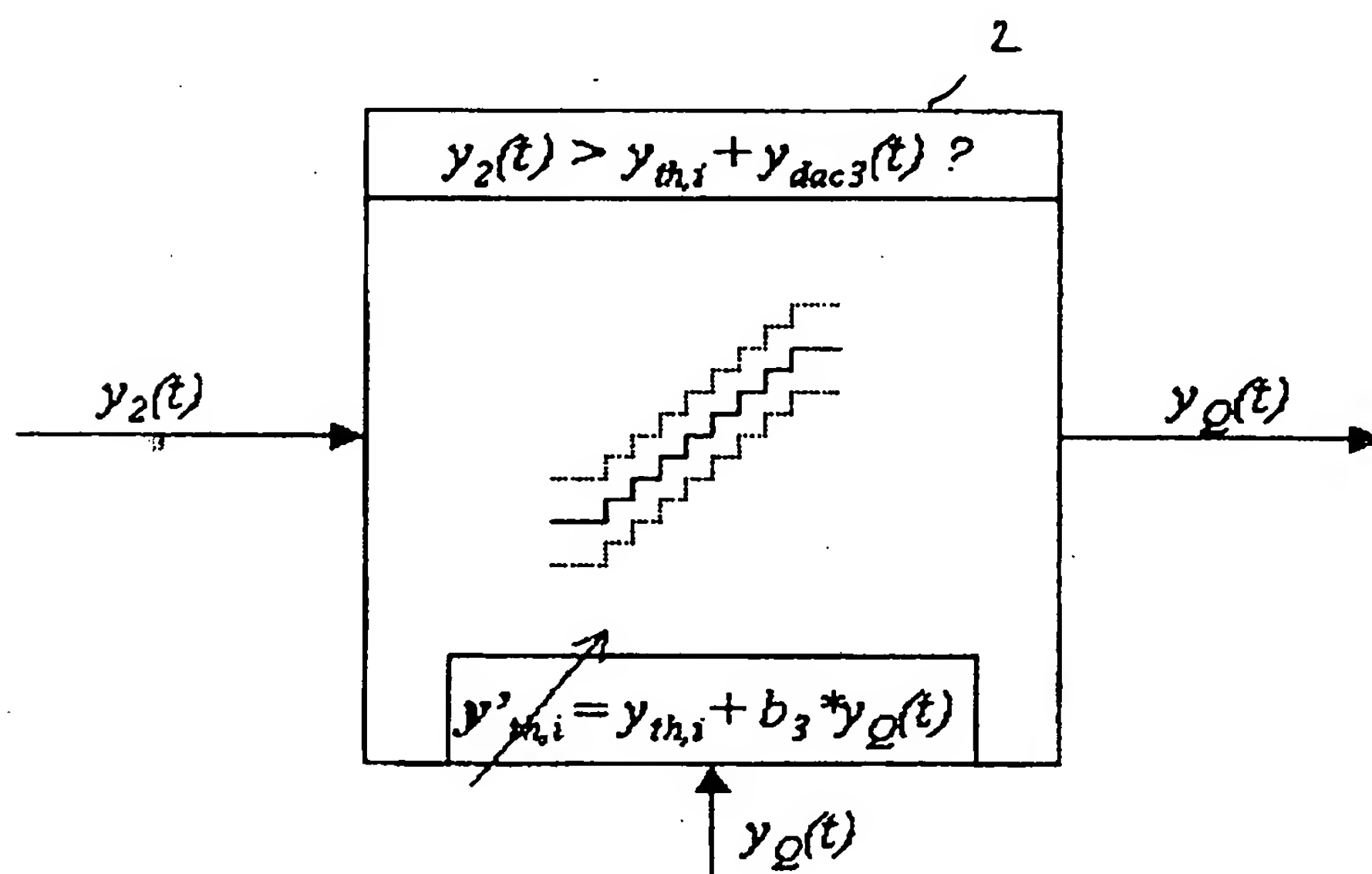


Fig. 5

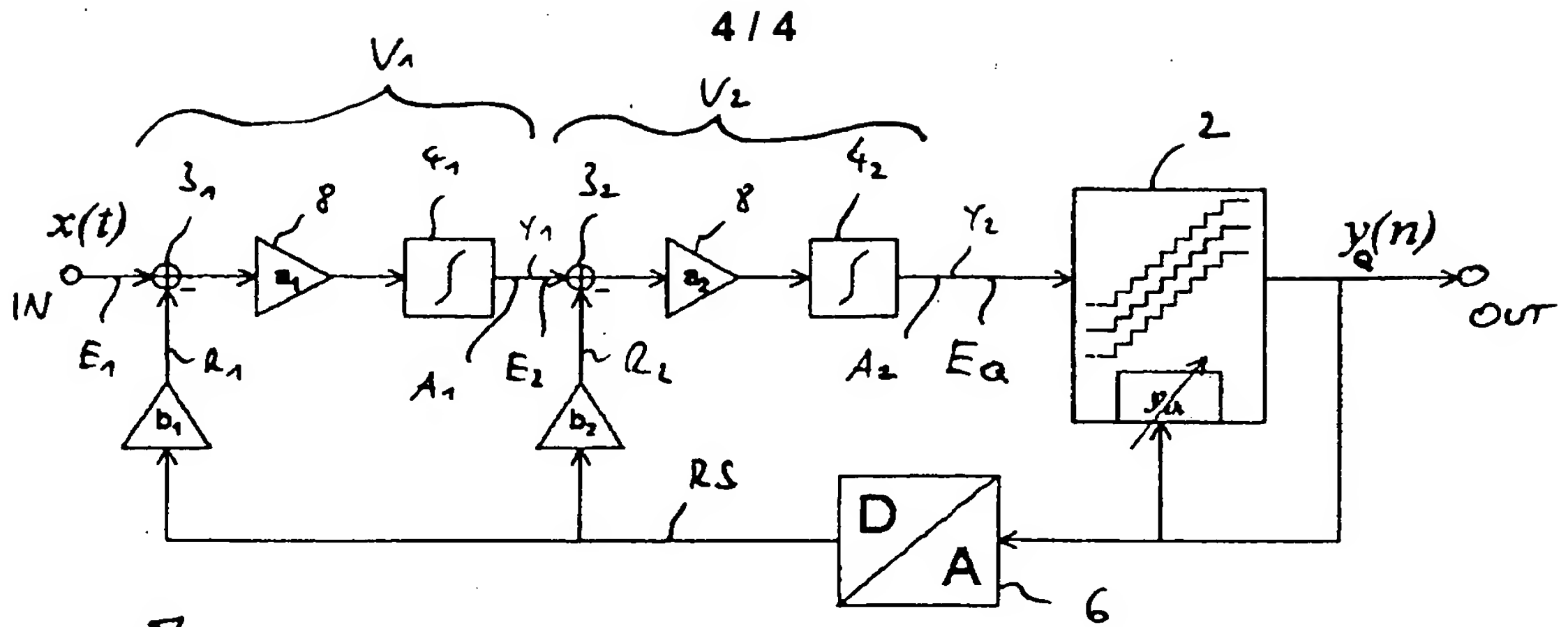


Fig. 6

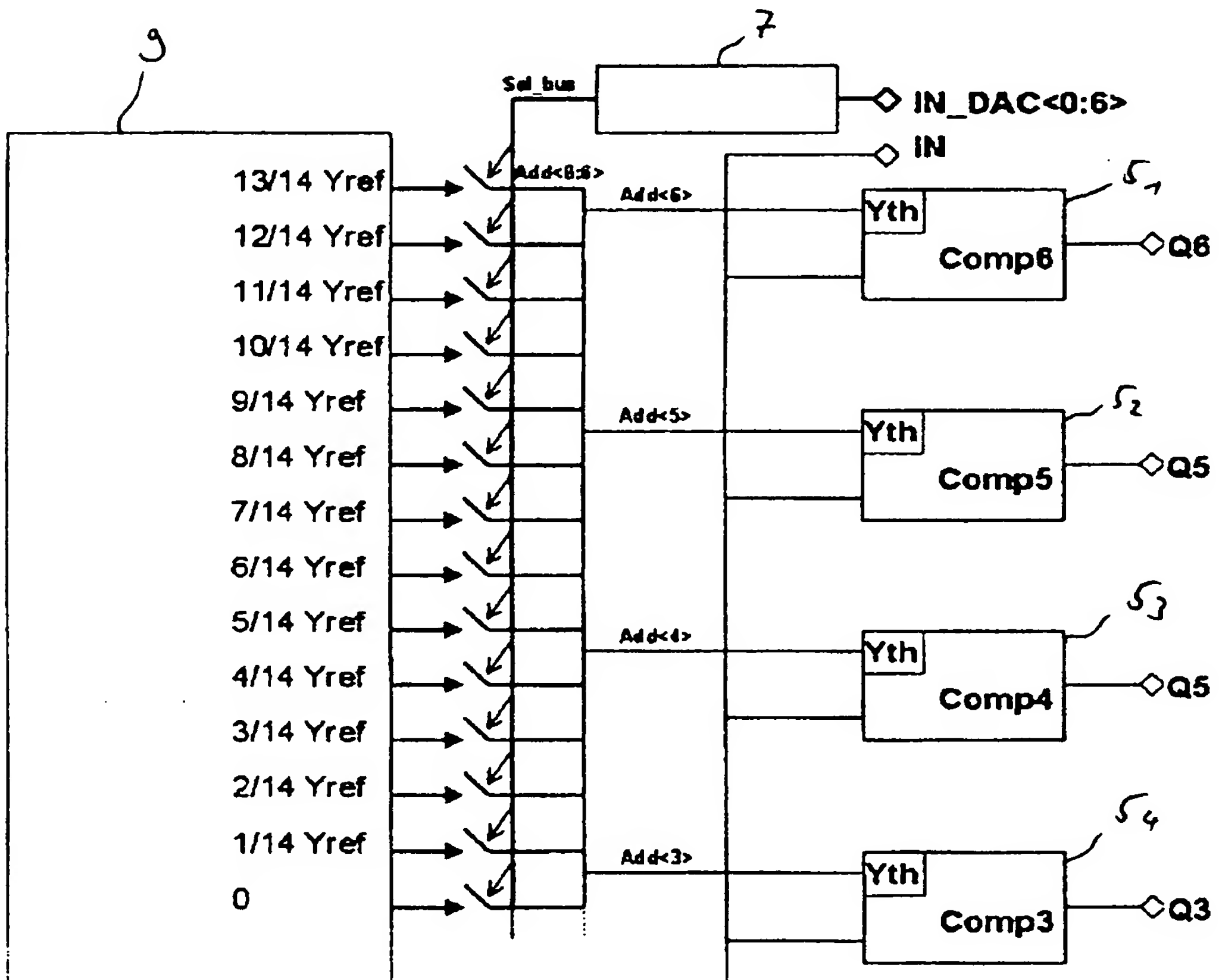


Fig. 7